PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-007110

(43) Date of publication of application: 11.01,2002

(51)Int.CI.

GO6F 7/00 GO6F 5/00

(21)Application number: 2000-192762

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

27.06.2000

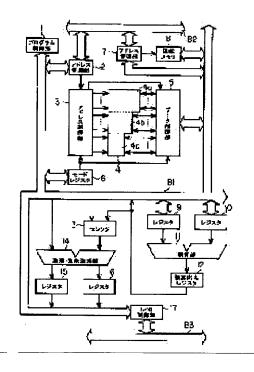
(72)Inventor: SHIBUYA KAZUTOSHI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly realize bit processing in a simple constitution with the small number of instructions.

SOLUTION: This device is provided with a work memory 4 in which three kinds of address areas whose bit length is different from each other are allowed to coexist. The three kinds of address areas are constituted as a fixed bit length area 4a and limited bit length areas 4b and 4c, and plural address areas are respectively allowed to belong to each area. The address areas belonging to the fixed bit length area 4a are provided with bit length (n bits) for one word, and the address areas belonging to the limited bit length areas 4b and 4c are respectively provided with different bit length (m0 bit and m1 bit) shorter than the bit length for one word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号 特期2002—7110

(P2002-7110A) 日 平成14年1月11日(2002.1.11)

(51)Int.CL.' 鐵別記号 F1 G06F 7/00 G06F 5/00 5/00 7/00

7/00 G

I

デーマコート* (参考) 5 B O 2 2

審査請求 未請求 請求項の数5 OL (全 13 頁)

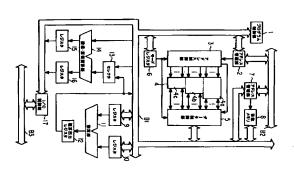
(21)出版辞号 特額2000-192762(P2000-192762) (71)出版人 000003078 株式会社東芝 (22)出版日 平成12年6月27日(2000.6.27) (72)発明者 遊谷 和俊 東京都田野市旭が丘3丁目1番地の14 式会社東芝田野工場内 (74)代題人 100058479 中理士 鈴江 武彦 (外6名) ドターム(参考) 58022 B407 D405

(54) 【発明の名称】 ディジタル信号処理装置

(57) 【要約】

【課題】 簡易な構成かつ少ない命令数により高速にビット処理を実現する。

【解決下段】 それぞれビット及が異なる3種間のアドレス領域が混合して設けられた作業川メモリ4を備える、3種類のアドレス削壊は、周定ビット及領域4aおよび制限ビット及領域4b、4cであり、それぞれ複数のアドレス領域が35。周定ビット及領域4aに減するアドレス領域は1ワード分のビット及(nビット)を、また制限ビット及創域4b、4cに属するアドレス領域は1ワード分よりも短くかつぞれぞれ異なるビット及(m0ビット,m1ビット)をそれぞれ異なるビット及(m0ビット,m1ビット)をそれぞれ異なるビット



【特許請求の範囲】

【請求項1】 作業用メモリへのデータの書き込みおよび誘み出しによるデータ操作をともなってディジタル信号を処理支配において、 いを処理するディジタル信号処理装置において、 前記作業用メモリを、1アドレスで括定される記憶領域 として、その容量が1ワードである第1領域および容量 が1/gワード(gは研定の自然数)である第2領域と

理製料。 【請求項2】 前記第2額減が書込み先として指定された場合に、データベストを伝送される1ワードデータにおける所にピット位置の1/gワード長のピット列を作業用メモリに与える書込データ処理手段と、

を設けたものとしたことを特徴とするディジタル信号処

市記第2領域のいずれかの記憶領域が説出し先として指定された場合に、指定された記憶領域に関連する所定のnmの記憶領域を順に認出したとして再記作業用メモリからデータを認み出す説出調響手段と、

この認出調響で収により認み出された「/Rワード及の「個のが一々を定心の暫定な多えた」ワード及のゲータを定心の暫定な多えた「ワード及のゲータの当成し、可能アータス・ス・スポンプも過せしアータの現下収さを共催したことを整復とする過去項「ご議会のディジタを信号の連載数別、

【語来項3】 前記第2前級のいずれかの記憶領域が出込み先として指定された場合に、指定された記憶領域に関連する所定の g 側の記憶領域を順にお込み先として順次指述する形法の領域側面主要と、

前記第2額域が基本が発として指定された場合に、前記書が基準の観機が基本が表現でより指定された。例の記憶額域にデータスメ上を伝送される1ワードデータにおけるそれぞれがなる所述ビットが置の1/gワード以ずつの8個のビットのを制に形込むべく作業用メモリに与える基达データ処理手段と、

前記第2前域のいずれかの記憶領域が説出し先として指定された場合に、その記憶領域がら出力される1/gワード域のデータのみを所定のピット位置に設定してなる1フード域のデータを生成して前記データバスへと出力する説出しデータ処理下段とを見備したことを特徴とする説は近して記載のディジタル信号処理装置。

【語来項4】 前記第2額減が 塔込み先として指定された場合に、データバス 上を伝送される 1 ワードデータにおける所定だっト位置の1 /g ワード及のだット処を作数用メモリに与える 塔込データ処理 下収と、

前記第2飲暖のいずれかの記憶質暖が説出したとして指定された場合に、その記憶質暖から出力される1/8ワード長のデータのみを所述のピット位置に設定してなる1ワード長のデータを生成して前記データズスへと出力する語出しデータ処理手段とを見備したことを特徴とする語来項1に記載のディジタルは号の理製置。

【語来項5】 - 道語第2節域のいずれかの記憶質域が片込み先として指定された場合に、指定された追憶質域に

関連する所定の g 個の記憶領域を順に書込み先として順 次指定する書込み領域制御手段と、

前記第2前域が平込み先として指定された場合に、前記 市込み前域制御下段により指定された g 側の記憶領域に データバス l を伝送される l ワードデータにおけるそれ ぞれ異なる所定ピット位置の l /g ワード及ずつの g 側 のピット列を順に書込むべく作業用メモリに与える書込 データ処理手段と、

前記第2領域のいずれかの記憶領域が説出し先として指述された場合に、指定された記憶領域に関連する所定の 度側の記憶領域を順に説出し先として前記作業用メモリからデータを認み出す説出期御下段と、

この諸田超輝于段により諸み出された 1 /gワード及のg 関のデータを所近の数字で楽べて 1 ワード及のデータを生成して前記データバスへと出力する諸田しデータ処理主段とを共適したことを特徴とする語来項 1 に記載のディジタルに引急呼吸表質。

【発明の詳細な説明】

[1000]

【を別の過する技術分野】を定別は、アインノルにも思慮などに別いられる、いわゆるDSP(DigitalSignal Processor)などと呼ばれるディジタル信号処理装置に関する。

【0002】
【該来の技術】DSPを用いた通信処理では、1ワード 単位のデータ以外に1ビット、4ビットなどの1ワード よりも知いデータ(以下、加限長データと参する)を収 り扱うことがある。例えば、前算結果の正負のみに着日 する場合には、1ワード長の演算結果データのうちの以上 上位の1ビットのみが以降の処理に用いられることとな

【0003】さて、通常DSPが有するメモリは、17ドレスに対応する記憶的域が1ワード長に設定されている。従って制限及データを1ワード軸のメモリに発揮すると、メモリの利用効率が低ドしてしまう。例えば、1ピット長の制限及データを1000例メモリに搭割する場合、通常は1000例の記憶削減を占有することとなり、1ドワード分が必要となる。すなわち、1ワードを16ピットとするならば、実際のデータ量の16倍もの経験的記憶削減を占有してしまうことになる。

【0004】しかし、制限長データを1ワード分連結してからメモリに格解することとすれば、実際のデータ 味 上国 空間の 記憶質疑 で全てのデータを保持することが 引 信である。

[0005] そこで従来より、このような制限以データの連結処理(以下、バック動作と称する)を行うことでメモリ使用効率の向上を図ることが行われている。なお、このペック動作を行う場合、制限以データを用いた処理を行うために連結データから例々の制限以データを分離する処理(以下、アンペック動作と称する)も行う

(2)

特開平14-007110

動作を通常の論理演算処理により実現する場合、対象デ ータの切出し用のマスク処理のための論理符(AN 【0006】さて、このようなパック動作やアンパック

理を実行することになる。このため、多数の命令を実行 しなければならず、実質的な演算速度の向上の妨げとな ト連結を行うための益理和(OR)演算を行うなどの処 D)、ビット位置合わせのためのシフト命令およびビッ

のユニットを外部バスを介してアクセスすることでパッ スが必要であるために、依然として多数の命令を実行し 構成も考えられるが、この場合には外部バスへのアクセ クされたデータをDSP内部のメモリに外絶可能とする ク動作を実現するユニットをDSPの外部に設けて、こ 【0007】なお、上述のようなハック動作やアンハッ

単に良く行うことを可能とするために使用可能なメモリ アッセスチード義結を有するDSPが存在する 【0008】そこで、ハック動作やアンバック動作を簡

能となる。また、ワードモードでデータを格納し、ビッ し (アンハック動作) が可能となる、 トモードに切替えて読み出せば、ピットデータの切り出 ち、ワードモードに切替えて読み出すとパック動作が可 1 アットアータを 1 アット単位だメモリに発送したの れば、例えばメモリアクセスをピットモードに改定し、 一ドである、そしてこのメモリアクセスモードを利用す ド、バイト、ビット単位などでメモリをアクセスするモ 【ロロロリ】ここでメモリアクセスモートでは、ソー

ックの並べ替えにより実現される。 リーブ処理は1ビット毎などのような小さなデータブロ リープ処理が行われることが多いが、このようなインタ P被算速度の向上の妨げになるなどの不具合が生じる。 めに、メモリ応答速度の低下を来たし、その結果、DS る、そしてこの種の回路は、非常に複雑な構成となるた デコーダおよび出力データの加工などの回路が必要とな 形態をモード毎で変更できるようにするためにアドレス を実現するためには、全メモリ空間についてのアクセス 【0010】しかしながら、メモリアクセスモード機能 【0011】また、無袋追信鑑米などにおいてはインタ

助げとなっていた、 を備えたDSPを用いなければならず、演算速度向上の み合わせによるか、あるいはメモリアクセスモード機能 【0012】従ってこのような処理も、多数の命令の組

モード機能を備えた低速なDSPを用いなければならな 命合を使用しなければならなかったり、メモリアクセス **象とするいわゆるビット処理を行おうとすると、多数の** 処理などのような1ワード長に満たないデータを処理対 DSPにてパック動作・アンパック動作やインタリーフ 【発明が解決しようとする課題】以上のように従来は、

いという不具合があった。

ができるディジタル信号処理装置を提供することにあ つ少ない命令数により高速にビット処理を実現すること たものであり、その目的とするところは、簡易な構成が 【0014】本発明はこのような事情を考慮してなされ

倒城とを設けたものとした。 定の自然数)である例えば制限ビット長領域などの第2 ードである第1領域および容量が1/gワード(gは所 畑ピット政策製などの結構領製として、その発展が112 前記作業用メモリを、1アドレスで指定される例えば国 タル信号を処理するディジタル信号処理装置において、 みおよび読み出しによるデータ操作をともなってディジ めに第1の本発明は、作業用メモリへのデータの書き込 【課題を解決するための手段】以上の目的を達成するた

適子合うにいた、エフェロース分のアットの主任などのの 川メモリの第2領域へのデータの書き込みや読み出しを ソトの場合のコロムショ語になる。 【0016】このような下段を講じたことにより、作業

の説出しデータ処理手段とを備えた。 て前記データバスへと出力する例えばデータ制御部など ―タを所定の順序で並べて1ワード長のデータを生成し 制御手段により読み出された1/gワード長のg例のデ 例えばアドレス制御部などの諸田制御「段と、この諸田 説出し先として前記作業用メモリからデータを読み出す された記憶領域に関連する所定の8個の記憶領域を順に かの記憶質域が諸田し先として指定された場合に、指定 部などの書込データ処理手段と、前記第2領域のいずれ 長のビット列を作業用メモリに与える例えばデータ制御 先として指定された場合に、データバス上を伝送される 別は、前記第1の発明に加えて、前記第2領域が書込み 1ワードデータにおける所定ビット位置の1/gワード 【0017】また上記目的を達成するために第2の本発

位置の1/gワード長のビット列をそれぞれ連結するパ る。従って、g側の1ワードデータにおける所定ビット を所定の順序で並べて1ワード長のデータが生成され タバス上を伝送される1ワードデータにおける所定ビッ 記憶された所定のg側のピット列が読み出され、これら ト位置の1/gワード長のビット列が抽出されて作業用 【0018】このような手段を講じたことにより、デー メモリの第2回域に格納される。そしてこの第2回域に

の書込み領域制御手段と、前記第2領域が書込み先とし て指定された場合に、前記書込み領域制御手段により指 かの記憶領域が書込み先として指定された場合に、指定 書込み先として順次指定する例えばアドレス開御部など された記憶領域に関連する所定のg個の記憶領域を順に 別は、演記第1の発別に加えて、演記第2領域のいずれ 【0019】また上記目的を遊成するために第3の本発

> 作業用メモリに与える例えばデータ制御部などの書込テ 定された。個の記憶領域にデータバス上を伝送される。 置に設定してなる1ワード長のデータを生成して前記デ 力される1/gワード長のデータのみを所定のビット位 第三 | 先として指定された場合に、その消費領域から# 1/gワード反ずつのg個のビット列を順に書込むべく ワードデータにおけるそれぞれ異なる所定ビット位置の データ処理予段とを描えた。 - タバスへと出力する例えばデータ制御部などの読出し ータ処理手段と、前記第2領域のいずれかの記憶領域が

格納される。そしてこの第2領域に記憶された1/gワ る1ワード長のデータが生成される。従って、1/gワ ワード長のデータのみを所定のピット位置に設定してな ット列がそれぞれ抽出されて作業用メモリの第2領域に 異なる所定ビット位置の1/gワード反ずつのg側のヒ タバス上を伝送される1ワードデータにおけるそれぞれ 一下屋のピット列をR側連結してたるデータから1/R ソード はのロッド 名のふれふれるお寄じ ふアンミック曼 【0020】このような下段を講じたことにより、デー ド長のデータのそれぞれの読み出し時に、その1/g

部などの説出しデータ処理下段とを備えた、 部などの書込データ処理手段と、前記第2領域のいずれ 明は、前記第1の発明に加えて、前記第2領域が書込み 所定のピット位置に設定してなる1ワード長のデータを かの記憶飼展が語出し先として指定された場合に、その 生成して前記データバスへと出力する例えばデータ制御 記憶領域から出力される1/gワード長のデータのみを 長のビット列を作業用メモリに与える例えばデータ制御 先として指定された場合に、データバス上を伝送される 1 ワードデータにおける所定ビット位置の1 /g ワード 【0021】また上記目的を達成するために第4の本発

簡無域に記憶された1/g ワード及のビット列の語なH る、従って、1ワードデータにおける所定ビット位置の し味に、その1/gワード長のデータのみを所定のビッ ト位置の1/gワード長のピット列が制出されて作業用 タバス上を伝送される1ワードデータにおける所定ビッ 1/g ワード長のビット列の抽出が行われる。 ト位置に設定してなる1ワード長のデータが生成され メモリの第2記憶倒滅に格納される。そしたこの第2記 【0022】このような下段を講じたことにより、デー

ワードデータにおけるそれぞれ異なる所定ピット位置の 定されたg例の記憶領域にデータバス上を伝送される1 **書込み先として順次指定する例えばアドレス制御部など** かの記憶倒域が書込み先として指定された場合に、指定 明は、前記第1の発明に加えて、前記第2領域のいずれ て指定された場合に、前記書込み領域制御手段により指 の書込み領域制御手段と、前記第2領域が書込み先とし された記憶領域に関連する所定のg個の記憶領域を順に 【0023】また上記目的を達成するために第5の本発

> 作業用メモリに与える例えばデータ制御部などの書込デ 処理手段とを備えた。 子で並べて10ード及のデータを生成して通過データス 読み出された1/gワード長のg側のデータを所定の順 前記作業用メモリからデータを例えばアドレス制御部な に関連する所定のg例の記憶領域を順に読出し先として 説出し先として指定された場合に、指定された記憶領域 スへと出力する例えばデータ制御部などの説出しデータ 1/gワード技ずつのg側のビット列を順に背込むべく どの読み出す説出制御手段と、この読出制御手段により ータ処理手段と、前記第2領域のいずれかの記憶領域が

データが生成される。従って、1ワードデータにおける 格納される。そしてこの第2 記憶領域に記憶された1/ 異なる所定ピット位置の1/gワード長ずつのg個のピ タバス上を伝送される1ワードデータにおけるそれぞれ g側のビット列を ·旦分離した上で、それら1/gワー されぞれ異なる所定でクト国派の1) gソート屋1つの gワード反のビット例の語を出し時に、その1/gワー ット列がそれぞれ分離されて作業用メモリの第2領域に ド反ずつのg個のビット列をそれぞれ連結する再ハック ド長のg側のデータを所定の順序で並べて1ワード長の 【0024】このような手段を講じたことにより、デー

[0025]

実施形態につき説明する。 【発明の実施の形態】以下、図面を参照して本発明の一

置を適用して構成されたDSPの要部構成を示すプロッ 【0026】図1は本実施形態のディジタル信号処理装

タ13、編理・算術演算部14、レジスタ15,16お 9, 10、積算部11、積算用力レジスタ12、セレク ジスタ6、アドレス管理部1、係数メモリ8、レジスタ 制御部3、作業用メモリ4、データ制御部5、モードレ は、フログラム制御第1、アドレス管理第2、アドレス よび1/O制御第17を有している。 【0027】この図に示すように本実施形態のDSP

部バスB3にもそれぞれ接続されている。 部2,7はアドレスバスB2に、1/O制御部17は外 れデータバスB1に接続されている。またアドレス管理 レジスタ15, 16および1/0制御部17は、それぞ 資理部1、係数メモリ8、レジスタ9,10、稲貸出力 理部2、データ鮰御部5、モードレジスタ6、アドレス レジスタ12、セレクタ13、論理・算術演算部14、 【0028】そして、フログラム側御部1、アドレス管

制御線により接続されている。 じた任意の信号処理を実現するべく各部の動作を制御す プログラムに堪必いて、そのプログラムの钙速内容に応 1の制御対象となる部分とプログラム制御第1との間は 【0029】プログラム制御第1は、任意に設定される **なお図示を省略しているが、このフログラム側御部**

6

作業用メモリ4に対応するものであるときに、そのアド 【0030】アドレス管理部2は、作業用メモリ4に関 するアドレス管理処理を行う。すなわちアドレス管理部 ドレスはアドレス短鐘第3へと与えられる。 などの処理を行う。このアドレス管理部2が出力するア レスに対応した作業用メモリ4の実アドレスを出力する 2は、アドレスバスB2を介して指定されるアドレスが

【0031】アドレス制御部3は、作業用メモリ4に設けられた多数のアドレス削減(1つのアドレスが削り付 後述するように変化させる、 より示されるモードに応じてセレクト信号の出力形態を が、モードレジスタ6から与えられるモード制御信号に えられるアドレスに基づいてセレクト信号の出力を行う 与える。アドレス制御部3は、アドレス管理部2から与 するセレクト信号を任意に発生して作業用メモリ4へと けられた記憶領域)のそれぞれをアクセス先として指定

異なる3種類のアドレス領域が混化して設けられてい する。すなわち作業用メモリ4は、それぞれビット長が 異なるビット長 (moビット, m₁ビット) をそれぞれイ するアドレス領域は1ワード分よりも短くかつそれぞれ 嬢4aに属するアドレス貿優は1ワード分のピット技 る、ここで各領域は図2にポオように、国金ピット長年 rk関展4b,4cのいTdlmに段級Tom病してい アドラス領域は、国治ガットは創場48だけの制限アミ り、多数のアドレス領域が設定されている。この多数の (n ピット)を、また国際ピット及倒域4b, 4cに原 【0032】作業用メモリ4は、半導体メモリよりな

タバスB1へと出力するに当り、モードレジスタ6から する。データ制御部5はデータを作業川メモリ4やデー ス領域から出力されるデータをデータバスB1へと出力 データを住意のアドレス領域に与えたり、任意のアドレ そしてデータ制御部5はデータバスB1から取り込んだ データ信号線により作業用メモリ4に接続されている。 られた多数のアドレス領域のそれぞれに対応するメモリ て後述するようなデータ処理を行う。 りえられるモード制御信号により示されるモードに応じ 【0033】データ制御第5は、作業用メモリコに設け

モードレジスタ6は、この登録されたモード情報に応じ たモード制御信号を生成してアドレス制御部 3 およびラ 合の処理内容に応じたモード情報が任意に登録される。 ータ制御部5へと与える、 【0034】モードレジスタ6は、ビット処理を行う場

は、アドレスバスB2を介して指定されるアドレスが保 るアドレス管理処理を行う。すなわちアドレス管理部7 は係数メモリ8へと与えられる。 処理を行う。このアドレス管理部でが出力するアドレス に対応した係数メモリ8の実アドレスを出力するなどの 数メモリ8に対応するものであるときに、そのアドレス 【0035】アドレス管理部7は、係数メモリ8に関す

【0036】係数メモリ8は、信号処理のための係数デ

1.1で積算するべき2つのデータを一時的に保持してお レジスタである。すなわちレジスタ9,10は、積算部 【0037】レジスタ9、10は、積算部11の入力用

カレジスタ12へと与える。 れ保持された2つのデータを積算し、その結果を積算出 【0038】 樋算部11は、レジスタ9,10にそれそ

は、積算第11での積算結果を一時的に保持しておく。 と必要に応じて出力される。なお、積算出力レジスタ1 の保持データは、データバスBIまたはセレクタ13へ 量、すなわち1ワード長の2倍のピット長を有し、これ 111で報送する場合には上位、下位の指定が必要とな 2の保持データは2ワード長を持つので、データバス11 により演算精度を確保する。この積算出力レジスタ1-2 この積算出力レジスタ12は、レジスタ9,10の容 **力用レジスタである。すなわち積算出力レジスタ12** 【0039】積算出力レジスタ12は、積算第11の出

るデータとのいずれか、力を選択して論理・算術演算部 ら出力されるデータと、データバスBIを介して到来す 【0040】セレクタ13は、傾算出力レジスタ12ヵ

また下位側をレジスタ16へそれぞれ出力する。 の処理を行う、そして編理・算術演算部14は、2ワー 給される20のデータを対象として和算や温理和算など に供給される。そして論理・算術演算部14は、この供 10, 15, 16の保持データおよび積算出力レジスタ ド長となる演算結果データの上位側をレジスタ15へ、 【0041】論理・算術演算部14には、レジスタ9, 2の保持データの主位側のうちのいずれか2つが任意

長ずつのデータを一時的に保持しておき、データバス B を有し、論理・算術演算部14から与えられる1ワード 1〜上必要に応じて出力する。 【0042】レジスタ15, 16は、1ワード灰の容量

外部とのデータ人出力を行う。 部バス B 3 との間でのデータ交換、すなわち本D S P の 【0043】1/0脚御部17は、データバスB1と外

ボすブロック図である。 【0044】図3はフログラム制御部1の詳細な構成を

インストラクションレジスタ23、インストラクション は、フログラムカウンタ21、フログラムメモリ22、 タック制御部27およびアドレスカウントアップ28を デコーダ24、別込み制御部25、分岐制御部26、ス 【0045】この図にボすようにプログラム制御部1

ング毎にフログラムアドレスをカウントアップし、最新 のフログラムアドレスをプログラムメモリ 2 2およびス 【0046】フログラムカウンタ21は、所定のタイミ

タック制御部27へとりえる。

処理の下順が記述されたプログラムが登録されている。 トラクションコードをインストラクションレジスタ23 1から与えられるプログラムアドレスが付されたインス そしてプログラムメモリ22は、プログラムカウンタ2 【0047】プログラムメモリ22は、実行すべき信号

ーダ24へと供給する。 一ドを 4時的に記憶しておき、インストラクションデコ グラムメモリ22から 与えられたインストラクションロ 【0048】インストラクションレジスタ23は、プロ

ストラクションレジスタ 2 3 に保持されたインストラク て図1の各第に必要な制御信号を与える。 ションコードをデコードし、そのデコード結果に基づい [0049] インストラクションデコーダ24は、イン

合にその割込みを実現するためにプログラムカウンタ2 1が発生するフログラムアドレスを変更させる。 【0050】割込み制御部25は、割込みが発生した場

2 1 が発生するプログラムアドレスを変更させる。 それらの処理分岐を実現するためにプログラムカウンタ 茶件、分板、サフルーナンの呼び出しの食品した場合に 【0051】分岐制御約26は、プログラムによる分岐

のカウントアップ動作を行う。 クしてある値をフログラムカウンタ21に再設定する。 チンからの復帰動作のために、プログラムアドレスを必 要に応じて待避(スタック)しておき、復帰時にスタッ 【0053】アドレスカウントアップ28は、アドレス 【0052】スタック制御部27は、割込みやサブルー

メモリ4に与える、

【0054】次に以上のように構成されたDSPの動作

ス領域をアクセスするためのアドレスは既知であって、 領域4aおよび制限ビット及領域4b,4cの各アドレ ユーザはこれらの3種類のアドレス領域を適宜使用する 【0055】まず作業用メモリ4のうちの固定ビット展

周定ピット長削減4 a に属するアドレス削減を用いるこ 4aは、従来通りの1ワード長の領域であるから、この とで、従来通りの1ワード単位でのデータ処理を行うこ 【0056】作業用メモリ4のうちの固定ビット技能域

最が1ワードよりも小さな制度及(mgビット,m1ビッ ビット処理を行うことができる。 ト) に制限された領域であって、以下に説明するように 【0057】 - 力、制限ビット基領域4b、4cは、容 して使用することでmgビット単位やm1ビット単位での

ころいて詳しく説見する。 【0058】以下、このようなビット処理に関する動作

情報のいずれかを設定しておく。 夕6に第1モード~第4モードのそれぞれをボすモード 【0059】まずピット処理を行う場合、モードレジス

> ット列をn/m1ワード分連結してnビット及、すなわ 分、あるいは1ワード中の所定位置のmjビット分のビ の所定位置のm0ビット分のビット列をn/m0ワード ち1ワード長のデータを作成するパック動作を行うモー 【0060】(第1モード)このモードは、1ワード中

値であり、n=16、 $m_0=4$ とするならば、k=3と する。なおここでのkは $\left[\left(n/m_{0} \right)-1 \right]$ で求まる バスB1を伝送されるときに、測限ピット長領域4bに ット列をn/m0ワード分連結するパック動作を行う場 ドレス i , i + 1 …, i + k として順次指定することと 属する連続するn/mg個のアドレス領域を共込み先ア 合には、連結すべきピット例を含むn/moMがデータ 【0061】1ワード中の所定位置のm0ビット分のビ

み時であるならば、データバスBIを介して到来するI 限ピット長領域46であることが通知され、かつ書き込 mo個の書込み先アドレスのそれぞれが示すアドレス領 ワード長のデータのうちの上位mgビットのみを作業用 4bであることをソース動劇而るに対して連想する. オレスフス関御第344、アクセス先が制限アッド以前域 裏をアクセス先とするべくセレクト信号を出力する、ま 【0063】一方、データ制御部5は、アクセス先が制 【0062】そうするとアドレス制御部3は、このn/

ぞれ書き込まれることとなる。なお、1ワードデータの レスi, i+1…, i+kの各アドレス飼製に、n/m o側の 1 ワードデータのうちの上位moピットげつがそれ うちの上位m0ビット以外のビット列は廃棄する、 【0064】かくして、図4 (a) にポポように、アド

込んだデータを出力する場合、連結するデータが記憶さ れた先頭のアドレス領域のアドレストを指定することと 【0065】続いて、このように作業用メモリ4に書き

アドレス制御第3は、アクセス先が測限ビット長領域4 説出し先とするべくセレクト信号を順次出力する。また i から連続するn /mo側のアドレス領域、すなわちア b であることをデータ制御部5に対して通知する、 ドレス i , i + 1 …, i + k のアドレス領域をそれぞれ 【0066】そうするとアドレス制御部3は、アドレス

いるmgビットだつのデータが順にn/mgMIIJされる スi,i+1…,i+kの各アドレス飼製に格納されて 【0067】これにより、作業用メモリ4からはアドレ

モリ4から出力されるデータを個々には出力することな なわち1ワード長のデータを生成する、そして作業用メ のm0ビットデータを上位側から順に配置した状態で連 しに、生成した1ワード長のデータをデータバスB1へ 詩することで、図4(a)に示すようにn ビット吸、す 【0068】そこでデータ測御部5は、このn/mo例

特開平14-007110

ット列をn/m₁ワード分連結するパック動作を行う場 求まる値であり、n=16、 $m_1=1$ とするならば、h火現される。なおここでのhは [(n/m_l) -1] で して、図4(b)にボすような上記と回様な動作により 1…,j+hとして、かつ制限ビット長領域4cを使用 合には、喜込み先および語出し先のアドレスをj,j+ 【0069】1ワード中の所定位置のm₁ビット分のビ

Oまたはm₁ビット長ずOのビット列を分離するアンバ ハラクしてはな Lソートレルアータからmpcット屋り ||のアータや、m| アットIK th Oのアット色をn /m|包 長ずつのビット列をn/mg㈱ハックしてなる1ワード てなる1ワード長のデータを生成することができる。 トレずつまたはmjビットレずつのビット列をパックし またはn/m₁個の1ワードデータから抽出したmoビッ き込んだデータの読み出しとを行うだけで、n/mo側 4cをアクセス先としてのデータの書き込みと、その書 ログラム作成者側から見れば、制限ビット長領域4b, 【0070】以上のようにして、ユーザ側、すなわちフ 【0071】 (第2モード) このモードは、m0ビット

先として指定することとする。 4 bに属する任意のアドレス領域のアドレストを書込み データバスB 1 を伝送されるときに、制限ビット長領域 動作を行う場合には、まず分離すべき1ワードデータが ックしてなる1ワード長のデータを分離するアンハック 【0072】m0ビット及げつのビット処をn/m0関い

ック動作を行うモードである。

ドレスi,i+1…,i+kのアドレス領域をそれぞれ 4 b であることをデータ制御部5に対して通知する。 たアドレス制御部3は、アクセス先が制限ビット長領域 書き込み先とするべくセレクト信号を順次出力する。ま 【0073】そうするとアドレス制御部3は、アドレス i から連続する n /mo側のアドレス領域、すなわちア

限ピット長領域4 b であることが通知され、かつ書き込 て、作業川メモリ4のアドレス i , i + 1 …, i + kの ワード人のデータを上位からmoドット分グの分離し み時であるならば、データバスBIを介して到来するI アドレス領域へとそれぞれりえる。 【0074】 - 方、データ制御部5は、アクセス先が制

のデータがそれぞれ書き込まれることとなる。 レスi,i+1…,i+kの各アドレス領域に、1ワー ド長のデータから分離されたmgビットずつのn/mgM 【0075】かくして、図5 (a) にがすように、アド

ドレス領域のアドレス i , i + 1 …, i + k を順次指定 込んだデータを出力する場合、各データが記憶されたア 【0076】続いて、このように作業用メモリ4に書き

レスのそれぞれに対応するアドレス領域をそれぞれアク 【0077】そうするとアドレス測御部3は、このアド

> であることをデータ制御部5に対して通知する。 ドレス制御部 3 は、アクセス先が制限ビット長飼製 4 b セス先とするべく順次セレクト信号を出力する。またア

いるm0ビットずつのデータが順にn/m0個出力される スi,i+1…,i+kの各アドレス飼製に発納されて 【0078】これにより、作業用メモリ4からはアドレ

タバスB 1〜と出力する。 を全て「0」とした1ワード坂のデータとして馴欲デー ずつのデータのそれぞれを土位側に配し、残りのビット 【0079】そこでデータ制御部5は、このm0ビット

5(b)に示すような上記と同様な動作により実現され + h として、かる御殿ビット長領域4 c を使用して、図 書込み先および諸田し先のアドレスをj,j+1…,j のビット列を分離するアンバック動作を行う場合には、 ックしてなる1ワード長のデータからm₁ビット長ずつ 【0080】m_Iビット長ずつのビット例をn/m_I倒パ

ずしのビット処を分解することができる、 |個バックしてなる1ワード長のデータからm|ビット長 はm₁ビット以ずらのビット例をn/moMまたはn/m き込んだデータの読み出しとを行うだけで、moMまた 4cをアクセス光としてのデータの書き込みと、その書 ロソフム作成者側がら見れば、側限ニクで反映集事も, 【0081】以上のようにして、ユーザ側、十たわちつ

の所定位置のm0ビット分のビット列や1ワード中の所 定位置のm | ビット分のビット列を抽出するモードであ 【0082】 (第3モード) このモードは、1ワード|

側のアドレス領域を書込み先アドレス i , i + 1 …, i せて、翅眼ピット技質製4bに属する連続するn/mo 合むデータがデータバスBIを順次伝送されるのに合わ ット列を抽出する場合には、その抽出すべきビット列を +kとして順次指定することとする。 【0083】1ワード中の原定位置のmgビット分のビ

たアドレス制御第3は、アクセス先が制限ビット長領域 域をアクセス先とするべくセレクト信号を出力する。ま mo側の再込み先アドレスのそれぞれが示すアドレス領 【0085】 - 方、データ制御部5は、アクセス先が制 4 b であることをデータ側御部5に対して通知する. 【0084】そうするとアドレス制御部3は、このn/

擬ピット長領域4bであることが通知され、かつ書き込

み時であるならば、データバスB1を介して到来する1 ワード反のデータのうちの上位mgビットのみを作業用

のうちの上位moビットずつがそれぞれ書き込まれるこ バスB1を順次伝送されるn/mgMの1ワードデータ レスi,i+1…,i+kの各アドレス領域に、データ 【0086】かくして、図6 (a) に示すように、アド

> ドレス領域のアドレス i , i+1…,i+kを順次指定 込んだデータを出力する場合、各データが記憶されたア セス先とするべく順次セレクト信号を出力する。またア 【0088】そうするとアドレス制御部3は、このアド レスのそれぞれに対応するアドレス領域をそれぞれアク 【0087】続いて、このように作業用メモリ4に書き

であることをデータ制御第5に対して通知する。 いるmgビットずつのデータが順にn/mg個出力される スi,i+1…,i+kの各アドレス貿域に格納されて 【0089】これにより、作業用メモリ4からはアドレ

ドレス制御部 3 は、アクセス先が制限ビット技領域 4 b

を介て「0」とした1ワード長のデータとして順次デー タバスB1〜と出力する、 ずしのデータのそれぞれを上位側に配し、残りのアット 【0090】そこでデータ制御部5は、このm0ビット

ト長質壊4cを使用して、図6(b)にボオような上記 ット列を抽出する場合には、書送な先および提出し先の と同様な動作により実現される。 アドラスをしょう エー・・ しゃねこして、カニル国民にグ 【0091】1ワード中の所定保証のm₁ビット分のビ

定位置のm₁ビット分のビット列を抽出することができ き込んだデータの語み出しとを行うだけで、1ワード中 4cをアクセス先としてのデータの書き込みと、その書 ログラム作成者側から見れば、制限ピット長領域4b, の所定位置のm0ビット分のビット列や1ワード中の所 【0092】以上のようにして、ユーザ側、すなわちフ

で、丹夏m0ビット長ずつのピット別をn/m0個ハック つまたはm₁ビット長ずつのビット列を一旦分離した上 パックしてなる1ワード長のデータからmgビット長ず 艮のデータや、m₁ビット長ずつのビット列をn/m₁m 及ずつのビット列をn/m0Mハックしてなる1ワード を作成する再ハック動作を行うモードである。 ット列をn/m₁側ハックしてなる1ワード長のデータ してなる1ワード長のデータや、m」ビット長ずつのピ 【0093】 (第4モード) このモードは、mgビット

る任意のアドレス貿製のアドレストを書込み先として指 B 1を伝送されるときに、制限ビット長領域4 bに属す 場合には、まず分離すべき 1 ワードデータがデータバス ックしてなる1ワード長のデータの再へック動作を行う 【0094】m0ビット送ずつのビット例をn/m0倒へ

i から連続するn/mo個のアドレス領域、すなわちア 4bであることをデータ制御浴5に対して通知する。 **呉き込み先とするべくセレクト信号を順次出力する、ま** ドレス i , i + 1 …, i + kのアドレス領域をそれぞれ 【0095】そうするとアドレス制御部3は、アドレス

> て、作製用メモリ4のアドレスi,i+1…,i+kの ワード長のデータを上位からm0ビット分乙の分離し み時であるならば、データバスB 1を介して到来する 1 限ピット長領域4 b であることが通知され、かつ書き込 【0096】 · ガ、データ制御部5は、アクセス先が制

のデータがそれぞれ書き込まれることとなる。 ド長のデータから分離されたmgビットずつのn/mgM レスi、i+1…,i+kの各アドレス短減に、1ワー 【0097】かくして、図7 (a) にボすように、アド

アドレス領域へとそれぞれ与える。

れた先頭のアドレス領域のアドレス(を指定することと 込んだデータを出力する場合、連結するデータが記憶さ [0098] 続いて、このように作業用メモリ4に書き

b このらことをアーク歯側ip Bに対して胆제する。 アドレス制御約314、アクセス先が脚眼だット長飼養4 説出し先とするべくセレクト信号を順次出力する、また ドレスi,i+1…,i+kのアドレス飼験をそれぞれ i から連続するn /mgMのアドレス領域、すなわちア 【0099】そうするとアドレス制御綿3は、アドレス

スi,i+1…,i+kの各アドレス領域に格納されて いるm0ビットずつのデータが順にn/m0個出力される 【0100】これにより、作業用メモリ4からはアドレ

続することで、図7(a)にポすようにnビット長、す Om_0 ビットデータを上位側から順に配置した状態で連 モリ4から出力されるデータを個々には出力することな なわち1ワード長のデータを生成する。そして作業用メ しに、生成した1ワード長のデータをデータバスB1へ 【0 1 0 1】そこでデータ制御第5は、このn/mo例

【0 1 0 2】 1 ワード中の所定位置のm₁ピット分のピット列をn / m₁ワード分連結するバック動作を行う場 して、図7(b)にボナような上記と回模な動作により 1…,j+hとして、かつ制限ピット長領域4cを使用 合には、書込み先および説出し先のアドレスをす,す+

4cをアクセス先としてのデータの書き込みと、その書 き込んだデータの読み出しとを行うだけで、mgビット 長のデータや、m₁ビット長ずつのビット処をn/m₁蝕 反ずつのビット列をn/mo倒パックしてなる1ワード ログラム作政者側から見れば、制限ピット長領域4b, ヘックしてなる1ワード長のデータの再ペック動作を行 【0103】以上のようにして、ユーザ飼、すなわちフ

ビット処理を行うことが可能である。従って、命令数は みと、その書き込んだデータの読み出しとにより各種の 長領域4b,4cをアクセス先としてのデータの書き込 関、すなわちプログラム作成者側から見ての制限ビット 【0104】以上のように本実施形態によれば、ユーザ

<u>e</u>

2…アドレス管理領

間に処理することが可能である。 データの書き込みや読み出しに関する少数で済み、短時

下は最小限に抑えることができる。 り実現可能であり、作業用メモリ4のアクセス速度の低 ス制御を行うので、アドレス制御部 3 は簡易な構成によ 無く、 - 微的なアドレスにより作業用メモリ4のアクセ ドレス領域とアドレスとの対応関係を変化させる必要が ード機能を有するDSPのように作業用メモリ4でのア 【0105】しかも本実施形態では、メモリアクセスモ

高速にビット処理を行うことが可能である。 【0106】このようなことから本実施形態によれば、

位置は任意に設定可能である。 位側のビット列としているが、この抽出するビット列の ータからの抽出するビット列を1ワード長のデータの上 のではない。例えば上記実施形態では、1ワード長のデ 【0107】なお本発明は上記実施形態に限定されるも

は抽出したデータをその抽出拠に連結するものとしてい ることで、ビット単位でのデータの並べ替えが実現でき 一 サキ なが、唐書間子の諸田間子の場合ではのよったは るが、この連結順序は任意に設定可能である。例えばま 【0108】また上記実施形態では、ハック動作の際に

ようにしても良い。 種類のみ設けるようにしても良いし、3種類以上設ける を4bおよび4cの2種類編えることとしているが、1 【0109】また上記火焰形態では、脚限ビット及領域

可能であり、その場合にはモード選択のための構成を排 そして1種質のビット処理を行うように構成することも るが、上記の4つのモードの全てを備える必要はない。 えて、4種類のビット処理を選択的に実行三能としてい 【0110】また上記実施形態では、4つのモードを偏

た4種類のビット処理以外のビット処理を行うようにし ット処理を行うことが可能であり、上記実施形態に挙げ およびデータ制御部5の処理を変更することで任意のビ 【0111】また上記実施形態では、アドレス制御部3

理により行うようにすることも可能である。 ス制御部3やデータ制御部5での処理をソフトウェア処 【0112】また、行うビット処理によっては、アドレ

実現することも可能である。 が、LSI化しないで実現するなどのように歯の形績な ジタル信号処理装置をDSPに適用した例を示している 【0113】また上記実施形態では、本発明に係るディ

で種々の変形実施が可能である 【0114】このほか、本発明の要旨を逸脱しない範囲

ドである第1領域および容量が1/gワード(gは所定 ドレスで指摘される消費的製として、その発量が1ワー 【発明の効果】第1の本発明は、作業用メモリを、1ア

> の自然数)である第2領域とを設けたものとしたので、 とができるディジタル信号処理装置となる。 かつ少ない命令数により高速にビット処理を実現するこ アドレス領域として扱えば良く、この結果、簡易な構成 制御に関しては第1領域および第2領域のいずれも回じ のピット処理を行うことが可能となり、しかもアクセス しを適宜行うことで、1/gワード分のビット列単位で 作業用メモリの第2領域へのデータの書き込みや読み出

信号処理装置となる。 および読み出し処理により行うことが可能なディジタル れぞれ連結するハック動作を作業用メモリへの書き込み おける所法アット位置の1/gワード及のアット発をみ タを生成するようにしたので、g例の1ワードデータに g 側のピット列を所定の順序で並べて1ワード技のデー に一旦格納し、さらにこの第2領域に記憶された所定の ワード長のビット列を抽出して作業用メモリの第2領域 される1ワードデータにおける所定ピット位置の1/g 【0116】また第2の本発明は、データバス上を伝送

モリへの書き込みおよび読み出し処理により行うことが ット列のそれぞれを分離するアンパック動作を作業用メ ト列を8個連結してなるデータから1/gワード長のビ 個々に所知のピット位置に設定してなる1ワード状のデ にこの第2無威に記憶された1/gワード長のデータを れ抽出して作業出メモリの第2節製に · 凡春樂し、せら される 1 ソートアーアにおけるそれぞれ異なる的定でッ ータを生成するようにしたので、1/gワード長のビッ ト位置の1/gワード反手ののg個のビット列をそれぞ 可能なディジタル信号処理装置となる。

込みおよび過み出し処理により行うことが可能なディジ ので、1ワードデータにおける所定ピット位置の1/g 設定してなる1ワード長のデータを生成するようにした た1/gワード長のビット列のみを所定のビット位置に 演奏に「日春絶し、さらにこの第2記憶質奏に記憶され ワード長のピット列を抽出して作業用メモリの第2記憶 される1ワードデータにおける所定ピット位置の1/g タル信号処理装置となる、 ワード長のピット列の抽出処理を作業用メモリへの書き 【0118】また第4の本発明は、データバス上を伝送

に10992 11荷賀製に11荷された 1 /g ワード及のビッ れ分類した住業出メキリの第2質製に「日本鑵し、やの される1ワードデータにおけるそれぞれ異なる所定ビッ 8個のピット列をそれぞれ連結する再ペック動作を作業 下例を「三分癬したこの、それの1/gワード以上のの なる所定ビット位置の1/gワード及ずつのg個のビッ るようにしたので、1ワードデータにおけるそれぞれ異 ト列を所定の順序で並べて1ワード長のデータを生成す 下位間の1/gワード反がつのg間のビット処をそれそ 【0119】また第5の本発明は、データバス上を伝送

【0117】また第3の木発明は、データバス上を伝送

用メモリへの書き込みおよび読み出し処理により行うこ

とが可能なディジタル信号処理装置となる 【図面の簡単な説明】

装置を適用して構成されたDSPの要部構成を示すプロ 【図1】本発明の一実施形態に係るディジタル信号処理

【図3】図1中のプログラム制御部1の詳細構成を示す 【図2】図1中の作業用メモリ4の詳細構成を示すプロ

ブロック区。 【図4】第1モードにおけるパック動作の様子を示す

【図5】第2モードにおけるアンバック動作の様子を示

【図6】第3モードにおけるビット抽出動作の様子を示

【図7】第4モードにおける再ペック動作の様子を示す

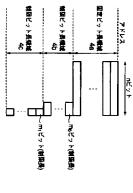
【符号の説明】

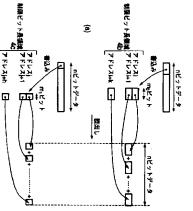
1…フログラム制御部

[[14]2]

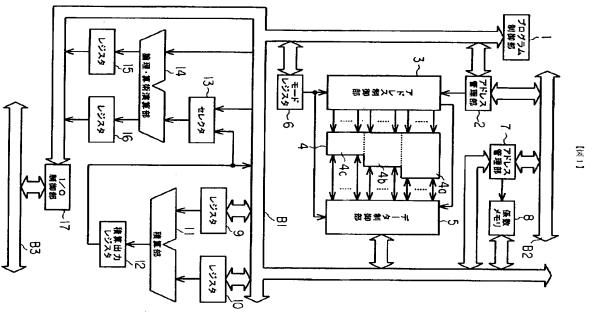
[× 4]

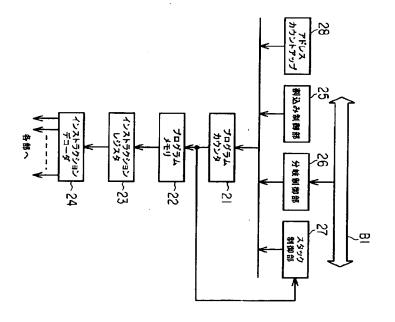
6…モードレジスタ 5…データ制御部 4 b, 4 c…制限ビット長領域 4 a …関定ビット長寅城 4…作業用メモリ 3…アドレス制御部 B2…アドレスバス B1…データバス 17…1/0氫鐘筠 14…論理・算術演算部 9, 10, 15, 16…レジスタ 8…係数メモリ 7…アドレス管理部 B3…外部バス 13…セレクタ 12…積算出力レジスタ 1 1 … (日算部





3





(12)

[図3]

特開平14-007110

特開平14-007110

ĝ